

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008940429 **Image available**

WPI Acc No: 1992-067698/199209

XRAM Acc No: C92-030781

XRPX Acc No: N92-050776

Thin-film MOS FET - has polysilicon channel region whose crystal grain
size is 0.5- 5 microns NoAbstract Dwg 2/2

Patent Assignee: RICOH KK (RICO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3291972	A	19911224	JP 9093353	A	19900409	199209 B

Priority Applications (No Type Date): JP 9093353 A 19900409

Title Terms: THIN; FILM; MOS; FET; POLY; SILICON; CHANNEL; REGION; CRYSTAL;
GRAIN; SIZE; MICRON; NOABSTRACT

Derwent Class: L03; U12

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03629072 **Image available**

MOS THIN-FILM TRANSISTOR

PUB. NO.: **03-291972** [JP 3291972 A]

PUBLISHED: December 24, 1991 (19911224)

INVENTOR(s): IKEGUCHI HIROSHI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-093353 [JP 9093353]

FILED: April 09, 1990 (19900409)

INTL CLASS: [5] H01L-029/784; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 1184, Vol. 16, No. 130, Pg. 14, April
02, 1992 (19920402)

ABSTRACT

PURPOSE: To arrange that a grain boundary exists in a channel part of all elements and to reduce an irregularity in the elements by a method wherein the channel region of a silicon thin film is constituted of polycrystalline silicon having a specific crystal particle size.

CONSTITUTION: An amorphous silicon thin film is formed on an insulating substrate 21; it is annealed in an N(sub 2) atmosphere; a silicon thin film is solid-grown; a recrystallized silicon thin film 22 to be used as an active layer is manufactured. The crystal particle size of the silicon thin film is set at 0.5 to 5.mu.m. Normally, the particle size is made smaller than a channel width of 1 to 10.mu.m for a TFT.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-291972

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月24日

H 01 L 29/784
27/12

7514-4M
9056-4M

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 MOS型薄膜トランジスタ

⑯ 特 願 平2-93353

⑰ 出 願 平2(1990)4月9日

⑱ 発 明 者 池 口 弘 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 友 松 英 爾

明 細 書

1. 発明の名称

MOS型薄膜トランジスタ

2. 特許請求の範囲

1. 絶縁基板上にシリコン薄膜が形成されているMOS型薄膜トランジスタにおいて、シリコン薄膜のチャンネル領域が0.5～5 μ mの結晶粒径をもつ多結晶シリコンにより構成され、チャンネル巾より前記結晶粒径が小さいことを特徴とするMOS型薄膜トランジスタ。

3. 発明の詳細な説明

〔技術分野〕

本発明は、MOS型薄膜トランジスタに関する。

〔従来技術〕

従来、絶縁物質上に形成されるシリコン薄膜MOS・FETは、シリコン薄膜層が多結晶Siまたは、グレイン・バウンダリーを含む単結晶化されたSiで構成されていた。シリコン薄膜層が多結晶シリコンの場合、電子及び正孔

の移動度が小さいためMOS・FETの動作速度が規制されるという欠点があった。また、多結晶シリコンをレーザ再結晶化、またはランプ再結晶化した場合、グレイン・バウンダリーが生じ、このグレイン・バウンダリーがMOS・FETのチャンネル領域に存在すると、MOS・FETのリーク不良、動作速度の減少の原因になる。

これを解決するため、特開昭59-228763号の技術によれば、前記MOS・FETチャンネル部分を1つの単結晶で構成することを提案している。

しかしながら、現実には1つ1つの素子におけるチャンネル部を必ず1つの単結晶で構成することを極めてむづかしい。すなわち、基板位置の違いやレーザーの精度等により、すべての素子のチャンネル部をそれぞれ1つの単結晶にするのはほぼ不可能である。そのためにある素子ではチャンネル部が単結晶であるのに別の素子では、チャンネル部に結晶粒界が存在するよ

うになってしまい、結晶粒界のある素子（第1図A）と、結晶粒界のない素子（第1図B）ではON抵抗値などが著しく違ってしまうという問題があった。

【目 的】

本発明の目的は、すべての素子のチャンネル部に結晶粒界を存在させることによって素子のばらつきを小さくすることを目的とする。

【構 成】

本発明は、絶縁基板上にシリコン薄膜が形成されているMOS型薄膜トランジスタにおいてシリコン薄膜のチャンネル領域が $0.5 \sim 5 \mu m$ の結晶粒径をもつ多結晶シリコンにより構成され、チャンネル巾より前記結晶粒径が小さいことを特徴とするMOS型薄膜トランジスタに関する。

このようにすることにより、通常TFETのチャンネル巾は $1 \sim 10 \mu m$ 程度であるので、チャンネル領域に少なくとも1つ以上の結晶粒界が比較的均一に、かつできるだけ少く存在させたこ

とになり、そのため各素子間の不均一性がいちじるしく減少できた。

本発明における活性層となるシリコン薄膜は多結晶あるいは非晶質シリコン薄膜にシリコンをイオン注入して形成した非晶質シリコン薄膜やLP-CVD法で $580^\circ C$ 以下で形成された非晶質シリコン薄膜、スパッタ法およびプラズマCVD法で形成された非晶質シリコン薄膜等を、 $500^\circ C \sim 650^\circ C$ でアニールして固相成長させたものを用いる。

以下実施例に従って説明する。

実施例

絶縁基板上にLP-CVD法を用い $500^\circ C$ で非晶質シリコン薄膜を 1000 \AA 形成し、 $600^\circ C$ で100時間、 N_2 雰囲気でアニールを行い、シリコン薄膜を固相成長させ活性層となる再結晶シリコン薄膜を作製する。このシリコン薄膜は結晶粒径が $3 \mu m$ 程度であった。以下は、通常の多結晶シリコン薄膜トランジスタと同様にゲート絶縁膜、ゲート電極、拡散層、層間絶縁膜およ

び金属を積層、パターニングして、シリコン薄膜トランジスタを形成する。水素化処理は、拡散層の形成後のどこで行っても良い。

【効 果】

本発明によるシリコン薄膜トランジスタは、各素子のチャンネル領域に結果的に結晶粒界が少なくとも1つは存在しているので、結晶粒界の有り無しにともなう各素子間のON抵抗値のばらつきが著るしく少く、大面積においても均一なシリコン薄膜トランジスタを得ることができた。

4. 図面の簡単な説明

第1図は、従来のシリコン薄膜トランジスタの断面図、第2図は、本発明によるシリコン薄膜トランジスタの断面図である。

11,21…絶縁基板

12,22…活性層(チャンネル領域)

13,23…ゲート絶縁膜

14,24…ゲート電極

15,25…拡散層

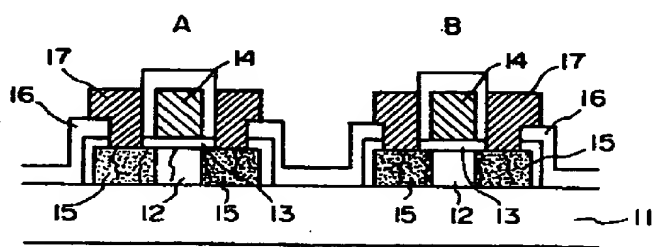
16,26…層間絶縁膜

17,27…金属

特許出願人 株式会社リコー
代理人 弁理士 友 松 英 昭



第 1 図



第 2 図

